

Family list**28 family members for:****JP4242724**

Derived from 21 applications.

- 1 SEMICONDUCTOR DEVICE AND FORMATION THEREOF THE SAME**
Publication info: JP2767495B2 B2 - 1998-06-18
JP4196171 A - 1992-07-15
- 2 LIQUID CRYSTAL DISPLAY DEVICE**
Publication info: JP2791422B2 B2 - 1998-08-27
JP4242724 A - 1992-08-31
- 3 LIQUID CRYSTAL DISPLAY DEVICE**
Publication info: JP2997737B2 B2 - 2000-01-11
JP4242725 A - 1992-08-31
- 4 INSULATED GATE TYPE FIELD SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF**
Publication info: JP3029289B2 B2 - 2000-04-04
JP4186775 A - 1992-07-03
- 5 MANUFACTURE OF SEMICONDUCTOR DEVICE**
Publication info: JP3362022B2 B2 - 2003-01-07
JP2000294797 A - 2000-10-20
- 6 FIELD EFFECT TRASISTOR AND ITS MAKING METHOD AND TFT**
Publication info: KR9513784B B1 - 1995-11-16
- 7 Electro-optical device constructed with thin film transistors**
Publication info: US5453858 A - 1995-09-26
- 8 Gate insulated field effect transistors and method of manufacturing the same**
Publication info: US5514879 A - 1996-05-07
- 9 Gate insulated field effect transistors and method of manufacturing the same**
Publication info: US5614732 A - 1997-03-25
- 10 LCD having a peripheral circuit with TFTs having the same structure as TFTs in the display region**
Publication info: US5701167 A - 1997-12-23
- 11 Electro-optical device and method for manufacturing the same**
Publication info: US5849601 A - 1998-12-15
- 12 Electro-optical device including thin film transistors having spoiling impurities added thereto**
Publication info: US5859445 A - 1999-01-12
- 13 Gate insulated field effect transistors and method of manufacturing the same**
Publication info: US6011277 A - 2000-01-04
- 14 Electro-optical device and method for manufacturing the same**
Publication info: US6023075 A - 2000-02-08
- 15 Semiconductor device having crystalline silicon clusters**
Publication info: US6252249 B1 - 2001-06-26
- 16 Gate Insulated field effect transistors and method of manufacturing the same**
Publication info: US6281520 B1 - 2001-08-28
- 17 Electro-optical device and method for manufacturing the same**
Publication info: US6306213 B1 - 2001-10-23
- 18 Gate insulated field effect transistor and method of manufacturing the same**
Publication info: US6737676 B2 - 2004-05-18
US2001054714 A1 - 2001-12-27
- 19 Electro-optical device and method for manufacturing the same**
Publication info: US7067844 B2 - 2006-06-27
US2001014535 A1 - 2001-08-16
- 20 Electro-optical device and method for manufacturing the same**
Publication info: US7098479 B1 - 2006-08-29

Family list

28 family members for:

JP4242724

Derived from 21 applications.

21 Electro-optical device and method for manufacturing the same

Publication Info: US7115902 B1 - 2006-10-03

Data supplied from the *esp@cenet* database - Worldwide

LIQUID CRYSTAL DISPLAY DEVICE

Patent number: JP4242724
Publication date: 1992-08-31
Inventor: YAMAZAKI SHUNPEI
Applicant: SEMICONDUCTOR ENERGY LAB
Classification:
- international: **G02F1/1345; G02F1/136; G02F1/1368; H01L29/786;
G02F1/13; H01L29/66; (IPC1-7): G02F1/1345;
G02F1/136**
- european:
Application number: JP19900418366 19901225
Priority number(s): JP19900418366 19901225

Report a data error here

Abstract of JP4242724

PURPOSE:To reduce a manufacturing cost and improve the yield by forming part of peripheral circuits connected with matrix wiring to be a TFT of a complementary constitution, and composing the other part of a semiconductor chip. **CONSTITUTION:**For a liquid crystal device of an mXn circuit constitution, an analogue switch array circuit part 1 only of peripheral circuits connected with X-direction wiring is formed to be a thin film transistor (TFT) as well as an active element provided at an image element 6. For a part of peripheral circuits connected with Y-direction wiring also, an analogue switch array circuit part 2 only is formed to be a TFT, and the other part of the peripheral circuits is connected with a substrate by a COG method at an IC 4. The peripheral circuit part formed to be the TFT is of a complementary constitution as well as the active element provided at the image element. It is not that the whole parts of the peripheral circuits are not formed to be TFT's, but that a part of a simple element structure, a functional part of a smaller element number, and an IC part of a high cost only are formed to be TFT's.

Data supplied from the **esp@cenet** database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平4-242724

(43) 公開日 平成4年(1992)8月31日

(51) Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
G 0 2 F 1/136	5 0 0	9018-2K		
1/1345		9018-2K		

審査請求 未請求 請求項の数3 (全 10 頁)

(21) 出願番号 特願平2-418366

(22) 出願日 平成2年(1990)12月25日

(71) 出願人 000153878

株式会社半導体エネルギー研究所
神奈川県厚木市長谷398番地

(72) 発明者 山崎 舜平

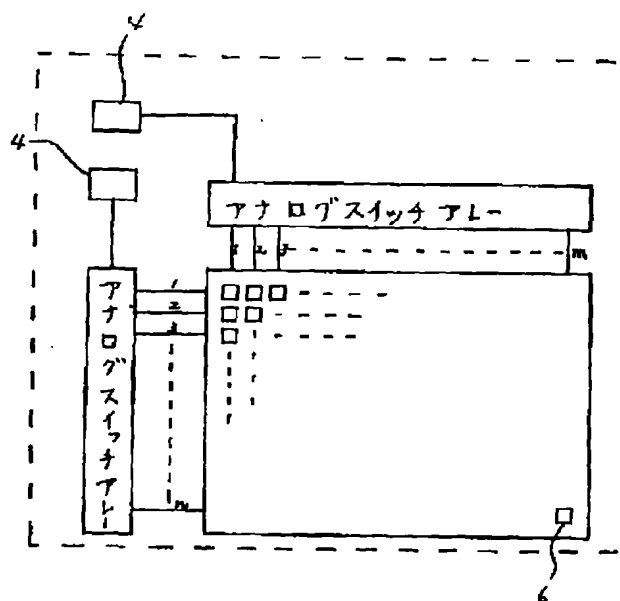
神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内

(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【目的】 本発明はコストが低く、製造歩留りの高い液晶表示装置を提供することを目的とする。

【構成】 複数のゲート線、複数のソース（ドレイン）線および薄膜トランジスタを有する画素マトリクスが形成された第1の基板と前記第1の基板に対抗して配置された第2の基板と前記一対の基板間に保持された液晶組成物よりなる液晶表示装置であって、前記第1の基板上に形成されるXまたはY方向のマトリクス配線に接続されている周辺回路のうちの少なくとも一部の周辺回路とアクティブ素子とを相補型構成として、同一のプロセスで形成された薄膜トランジスタとし、残りの周辺回路は半導体チップで構成されているものとあります。



【特許請求の範囲】

【請求項1】複数のゲート線、複数のソース（ドレイン）線および相補型構成の薄膜トランジスタを有する画素マトリクスが形成された第1の基板と前記第1の基板に対抗して配置された第2の基板と前記一对の基板間に保持された液晶組成物よりなる液晶表示装置であって、前記第1の基板上に形成されるXまたはY方向のマトリクス配線に接続されている周辺回路のうち少なくとも一部の周辺回路を前記画素に接続されたアクティブ素子と同様の相補型構成にて、同一のプロセスで形成された薄膜半導体装置とし、前記周辺回路のうち残りの部分は半導体チップで構成されていることを特徴とする液晶表示装置。

【請求項2】請求項1に記載の半導体チップで構成されている周辺回路はCOG法によりマトリクス配線と接続されていることを特徴とする液晶表示装置。

【請求項3】請求項1に記載の薄膜半導体装置はセミアモルファス半導体により構成されていることを特徴とする液晶表示装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は薄膜トランジスタを用いて形成される液晶表示装置に関する。

【0002】

【従来の技術】OA機器等のディスプレイとしてCRTに代わりフラットディスプレイが注目され、特に大面積化への期待が強くなってきている。またフラットディスプレイのその他の応用として壁掛けTVの開発も急ピッチで進められている。また、フラットディスプレイのカラー化、高精細化の要求も相当高まってきている。

【0003】このフラットディスプレイの代表例として液晶表示装置が知られている。これは一对のガラス基板間に電極を挟んで保持された液晶組成物に電界を加えて、液晶組成物の状態を変化させ、この状態の違いを利用して、表示を行う。この液晶の駆動のために薄膜トランジスタ（以下TFTという）やその他のスイッチング素子を設けたものや単純にマトリクス構成を持つものがある。何れの場合も、縦横（X、Y）方向の各配線に対して液晶を駆動するための信号を送り出すドライバー回路がディスプレイ周辺に設けられている。

【0004】このドライバー回路は通常は単結晶シリコンのMOS集積回路（IC）で構成されている。このICには各ディスプレイ電極に対応するパッド電極が設けられており、この両者の間にプリント基板が介在し、先ずICのパッド電極とプリント基板を接続し、次にプリント基板とディスプレイを接続していた。このプリント基板はガラスエポキシや紙エポキシの絶縁物基板またはフレキシブルなプラスチックよりなる基板であり、その占有面積はディスプレイと同じかまたはそれ以上の面積が必要であった。また、同様に容積も相当大きくする

必要があった。

【0005】

【発明が解決しようとする課題】このような従来のディスプレイは前述のような構成のため以下のような欠点を有していた。

【0006】すなわち、①マトリクス配線のX方向、Y方向の表示電極またはソース（ドレイン）配線またはゲート配線の数と同数の接続がプリント基板との間で行われるために、実装技術上接続可能な各接続部間の間隔に制限があるために、高精細な表示ディスプレイを作製することはできなかった。

【0007】②表示ディスプレイ本体以外にプリント基板、ICおよび接続配線が必要であり、その必要面積および必要容積はディスプレイ本体の数倍にも及んでいた。

【0008】③ディスプレイ本体とプリント基板およびプリント基板とICとの接続箇所が多く、しかも、かなりの重量があるので接続部分に無理な力が加わり、接続の信頼性が低かった。

【0009】一方、このような、欠点を解決する方法として、ディスプレイ特にアクティブ素子をスイッチング素子として使用した表示装置において、アクティブ素子と周辺回路とを同じ基板上にTFTで構成することが提案されている。しかしながらこの構成によると前述の3つの欠点はほぼ解決することができるが、新たに以下のような別の問題が発生した。

【0010】④アクティブ素子以外に周辺回路をもTFT化した為に、同一基板上に形成する素子の数が増し、TFTの製造歩留りが低下した。従ってディスプレイの製造歩留りも低下した。

【0011】⑤アクティブ素子部分の素子構造に比べ周辺回路部分は非常に複雑な素子構造を取っている。従って、回路パターンが複雑になり、製造プロセス技術もより高度になり、コストが上昇する。また、当然に多層配線部分が増し、プロセス工程数の増加とTFTの製造歩留りの低下が起こった。

【0012】⑥周辺回路を構成するトランジスタは早い応答速度が要求されるため、通常は多結晶半導体を使用していた。そのため、半導体層を多結晶化するために、高温の処理を必要とし、高価な石英基板等を使用しなければならなかった。

【0013】

【発明の構成】本発明は上記のような6つ問題を適度にバランスよく解決するものであり、コストが低く、製造歩留りの高い液晶表示装置に関するものである。

【0014】すなわち、複数のゲート線、複数のソース（ドレイン）線および相補型構成の薄膜トランジスタを有する画素マトリクスが形成された第1の基板と前記第1の基板に対抗して配置された第2の基板と前記一对の基板間に保持された液晶組成物よりなる液晶表示装置で

あって、前記第1の基板上に形成されるXまたはY方向のマトリクス配線に接続されている周辺回路のうちの少なくとも一部の周辺回路を前記画素に接続されたアクティブ素子と同様の相補型構成として、同一のプロセスで形成された薄膜トランジスタとし、残りの周辺回路は半導体チップで構成されているものであります。

【0015】また、TFT化しない残りの周辺回路としてのICと基板との接続はICチップを直接基板上に設けて、各接続端子と接続するCOG法やICチップを1個毎にフレキシブルな有機樹脂基板上に設け、その樹脂基板とディスプレイ基板とを接続するTAB法により、実現できる。

【0016】すなわち、本発明は液晶表示装置の周辺回路の全てをTFT化するのでなく、素子構造の簡単な部分のみ、または素子数の少ない機能部分のみ、または汎用のICが入手しにくい回路部分のみ、さらにはICのコストが高い部分のみをTFT化して、液晶表示装置の製造歩留りを向上させるとともに、製造コストを下げることを目的とするものであります。

【0017】また、周辺回路の一部をTFT化することにより、従来では相当な数が必要であった外付けのICの数を減らし、製造コストを下げるものであります。

【0018】さらにまた、アクティブ素子と周辺回路を同じプロセスにて作成した相補型構成(CTFT)の薄膜トランジスタとしたので、画素駆動の能力が向上し、周辺回路に冗長性を与えることができ、余裕のある液晶表示装置の駆動を行うことができた。

【0019】また、周辺回路全部をTFT化するとディスプレイ用の基板の寸法をX方向およびY方向の両方に大きくする必要があり表示装置全体の専有面積が大きくなるが、一部のみをTFT化するとほんの少しだけ基板を大きくするだけで済み、表示装置を使用するコンピューターや装置の外寸法に容易にあわせることができかつ専有面積と専有容積の少ない表示装置を実現できる。

【0020】周辺回路中の素子構造が複雑である部分、例えば、多層配線が必要な素子構造やアンプの機能を持たせた部分等をTFT化するのに高度な作製技術が必要になるが、一部をTFT化することで、技術的に難しい部分は従来のICを使用し、簡単な素子構造あるいは単純な機能の部分をTFT化でき、低コストで高い歩留りで表示装置を実現できる。

【0021】また、一部のみTFT化することで、周辺回路部分の薄膜トランジスタの数を相当減らすことができる、単純にX方向、Y方向の周辺回路の機能が同じ場合はほぼその数は半数となる。このように、TFT化する素子数を減らすことで、基板の製造歩留りを向上させることができ、かつ基板の面積、容積を減少できた表示装置を低コストで実現することが可能となった。

【0022】さらに、TFTに使用される半導体層を従来から使用されている、多結晶またはアモルファス半導

体ではなく、新しい概念のセミアモルファス半導体を使用することで、低温で作製ができ、しかも、キャリアの移動度の非常に大きい、応答速度の早いTFTを実現することができる。

【0023】このセミアモルファス半導体とは、LPCVD法、スパッタ法あるいはPCVD法等により膜形成の後に熱結晶化処理を施して得られるが、以下にはスパッタ法を例にとり説明をする。

【0024】すなわちスパッタ法において単結晶のシリコン半導体をターゲットとし、水素とアルゴンとの混合気体でスパッタをすると、アルゴンの重い原子のスパッタ(衝撃)によりターゲットからは原子状のシリコンが離れ、被形成面に有する基板上に飛しょうするが、同時に数十～数十万個の原子が固まった塊がクラスタとしてターゲットから離れ、被形成面に飛しょうする。

【0025】この飛しょう中は、水素がこのクラスタの外周辺の珪素の不對結合手と結合し、結合した状態で被形成面上に秩序性の比較的高い領域として作られる。すなわち、被膜形成面上には秩序性の高い、かつ周辺にSi-H結合を有するクラスタと純粋のアモルファス珪素との混合物の状態を実現する。これを450℃～700℃の非酸化性気体中での熱処理により、クラスタの外周辺のSi-H結合は他のSi-H結合と反応し、Si-Si結合を作る。

【0026】この結合はお互い引っぱりあうと同時に、秩序性の高いクラスタはより高い秩序性の高い状態、すなわち結晶化に相を移そうとする。しかし、隣合ったクラスタ間は、互いに結合したSi-Siがそれぞれのクラスタ間を引っぱりあう。その結果は、結晶は格子歪を持ちレーザラマンでの結晶ピークは単結晶の520cm⁻¹より低波数側にずれて測定される。

【0027】また、このクラスタ間のSi-Si結合は互いのクラスタをアンカリング(連結)するため、各クラスタでのエネルギーバンドはこのアンカリングの個所を経て互いに電氣的に連結しあえる。そのため結晶粒界がキャリアのバリアとして働く多結晶シリコンとは根本的に異なり、キャリア移動度も10～200cm²/Vsecを得ることができる。

【0028】つまり、かるる定義に基づくセミアモルファス半導体は見掛け上結晶性を持ちながらも、電氣的には結晶粒界が実質的にない状態を予想できる。もちろん、アニール温度がシリコン半導体の場合の450℃～700℃という中温アニールではなく、1000℃またはそれ以上の結晶成長をともしなう結晶化をさせる時はこの結晶成長により、膜中の酸素等が粒界に折出し、バリアを作ってしまう。これは、単結晶と同じ結晶と粒界のある材料(多結晶)である。

【0029】また、この半導体におけるクラスタ間のアンカリングの程度をより大きくすると、よりキャリア移動度は大きくなる。このためにはこの膜中にある酸素量

5

を $7 \times 10^{19} \text{ cm}^{-3}$ 好ましくは $1 \times 10^{19} \text{ cm}^{-3}$ 以下にすると、さらに 600°C よりも低い温度で結晶化ができるに加えて、高いキャリア移動度を得ることができる。

【0030】

【実施例1】本実施例では図1に示すような $m \times n$ の回路構成の液晶表示装置を用いて説明を行う。すなわち図1のX方向の配線に接続された周辺回路部分のうちアナログスイッチアレー回路部分1のみを画素6に設けられたアクティブ素子と同様にTFT化し、Y方向配線に接続された周辺回路部分もアナログスイッチアレー回路部分2のみをTFT化しその他の周辺回路部分はIC4で、COG法により基板に接続している。ここで、TFT化した周辺回路部分は画素に設けられたアクティブ素子と同様にCTFT（相補型構成）として形成してある。

【0031】この回路構成に対応する実際の電極等の配置構成を図2に示している。図2は説明を簡単にする為 2×2 に相当する部分のみ記載されている。

【0032】まず、本実施例で使用する液晶表示装置上のTFTの作製方法を図3を使用して説明する。図3(A)において、石英ガラス等の高価でない 700°C 以下、例えば約 600°C の熱処理に耐え得るガラス50上にマグネトロンRF（高周波）スパッタ法を用いてプロッキング層51としての酸化珪素膜を $1000 \sim 3000 \text{ \AA}$ の厚さに作製する。プロセス条件は酸素100%雰囲気、成膜温度 15°C 、出力 $400 \sim 800 \text{ W}$ 、圧力 0.5 Pa とした。ターゲットに石英または単結晶シリコンを用いた成膜速度は $30 \sim 100 \text{ \AA/分}$ であった。

【0033】この上にシリコン膜をLPCVD（減圧気相）法、スパッタ法またはプラズマCVD法により形成した。減圧気相法で形成する場合、結晶化温度よりも $100 \sim 200^\circ\text{C}$ 低い $450 \sim 550^\circ\text{C}$ 、例えば 530°C でジシラン (Si_2H_6) またはトリシラン (Si_3H_8) をCVD装置に供給して成膜した。反応炉内圧力は $30 \sim 300 \text{ Pa}$ とした。成膜速度は $50 \sim 250 \text{ \AA/分}$ であった。NTFTとPTFTとのスレッショールド電圧 (V_{th}) に概略同一に制御するため、ホウ素をジボランを用いて $1 \times 10^{15} \sim 1 \times 10^{18} \text{ cm}^{-3}$ の濃度として成膜中に添加してもよい。

【0034】スパッタ法で行う場合、スパッタ前の背圧を $1 \times 10^{-5} \text{ Pa}$ 以下とし、単結晶シリコンをターゲットとして、アルゴンに水素を $20 \sim 80\%$ 混入した雰囲気で行った。例えばアルゴン 20% 、水素 80% とした。成膜温度は 150°C 、周波数は 13.56 MHz 、スパッタ出力は $400 \sim 800 \text{ W}$ 、圧力は 0.5 Pa であった。

【0035】プラズマCVD法により珪素膜を作製する場合、温度は例えば 300°C とし、モノシラン (SiH_4) またはジシラン (Si_2H_6) を用いた。これらを

6

PCVD装置内に導入し、 13.56 MHz の高周波電力を加えて成膜した。

【0036】これらの方法によって形成された被膜は、酸素が $5 \times 10^{21} \text{ cm}^{-3}$ 以下であることが好ましい。この酸素濃度が高いと、結晶化させにくく、熱アニール温度を高くまたは熱アニール時間を長くしなければならない。また少なすぎると、バックライトによりオフ状態のリーク電流が増加してしまう。そのため $4 \times 10^{19} \sim 4 \times 10^{21} \text{ cm}^{-3}$ の範囲とした。水素は $4 \times 10^{20} \text{ cm}^{-3}$ であり、珪素 $4 \times 10^{22} \text{ cm}^{-3}$ として比較すると1原子%であった。また、ソース、ドレインに対してより結晶化を助長させるため、酸素濃度を $7 \times 10^{19} \text{ cm}^{-3}$ 以下、好ましくは $1 \times 10^{19} \text{ cm}^{-3}$ 以下とし、ピクセル構成するTFTのチャネル形成領域のみに酸素をイオン注入法により $5 \times 10^{20} \sim 5 \times 10^{21} \text{ cm}^{-3}$ となるように添加してもよい。その時周辺回路を構成するTFTには光照射がなされないため、この酸素の混入をより少なくし、より大きいキャリア移動度を有せしめることは、高周波動作をさせるため有効である。

【0037】次に、アモルファス状態の珪素膜を $500 \sim 5000 \text{ \AA}$ 、例えば 1500 \AA の厚さに作製の後、 $450 \sim 700^\circ\text{C}$ の温度にて $12 \sim 70$ 時間非酸化雰囲気にて中温の加熱処理、例えば水素雰囲気下にて 600°C の温度で保持した。珪素膜の下の基板表面にアモルファス構造の酸化珪素膜が形成されているため、この熱処理で特定の核が存在せず、全体が均一に加熱アニールされる。即ち、成膜時はアモルファス構造を有し、また水素は単に混入しているのみである。

【0038】アニールにより、珪素膜はアモルファス構造から秩序性の高い状態に移り、一部は結晶状態を呈する。特にシリコンの成膜後の状態で比較的秩序性の高い領域は特に結晶化をして結晶状態となろうとする。しかしこれらの領域間に存在する珪素により互いの結合がなされるため、珪素同志は互いにひっぱりあう。レーザラマン分光により測定すると単結晶の珪素のピーク 522 cm^{-1} より低周波側にシフトしたピークが観察される。その見掛け上の粒径は半値巾から計算すると、 $50 \sim 500 \text{ \AA}$ とマイクロクリスタルのようにになっているが、実際はこの結晶性の高い領域は多数あってクラスタ構造を有し、各クラスタ間は互いに珪素同志で結合（アンカリング）がされたセミアモルファス構造の被膜を形成させることができた。

【0039】結果として、被膜は実質的にグレインバウンダリ（以下GBという）がないといってもよい状態を呈する。キャリアは各クラスタ間をアンカリングされた個所を通じ互いに容易に移動し得るため、いわゆるGBの明確に存在する多結晶珪素よりも高いキャリア移動度となる。即ちホール移動度 (μ_h) = $10 \sim 200 \text{ cm}^2/\text{Vsec}$ 、電子移動度 (μ_e) = $15 \sim 300 \text{ cm}^2/\text{Vsec}$ 、電子移動度 (μ_e) = $15 \sim 300 \text{ cm}^2/\text{Vsec}$

7

$^2/V\text{Sec}$ が得られる。

【0040】他方、上記の如き中温でのアニールではなく、900～1200℃の高温アニールにより被膜を多結晶化すると、核からの固相成長により被膜中の不純物の偏析がおきて、GBには酸素、炭素、窒素等の不純物が多くなり、結晶中の移動度は大きい、GBでのバリア（障壁）を作ってそこでのキャリアの移動を阻害してしまう。結果として $10\text{cm}^2/V\text{sec}$ 以上の移動度がなかなか得られないのが実情である。即ち、本実施例ではかくの如き理由により、セミアモルファスまたはセ

ミクリスタル構造を有するシリコン半導体を用いている。

【0041】図3（A）において、珪素膜を第1のフォトマスク①にてフォトエッチングを施し、PTFT用の領域22（チャネル巾 $20\mu\text{m}$ ）を図面の右側に、NTFT用の領域13を左側に作製した。

【0042】この上に酸化珪素膜をゲイト絶縁膜として500～2000Å例えば1000Åの厚さに形成した。これはブロッキング層としての酸化珪素膜の作製と同一条件とした。この成膜中に弗素を少量添加し、ナトリウムイオンの固定化をさせてもよい。

【0043】この後、この上側にリンが $1\sim 5\times 10^{21}\text{cm}^{-3}$ の濃度に入ったシリコン膜またはこのシリコン膜とその上にモリブデン（Mo）、タングステン（W）、 MoSi_2 または WSi_2 との多層膜を形成した。これを第2のフォトマスク②にてパターンニングして図3（B）を得た。PTFT用のゲイト電極55、NTFT用のゲイト電極56を形成した。例えばチャネル長 $10\mu\text{m}$ 、ゲイト電極としてリンドープ珪素を $0.2\mu\text{m}$ 、その上にモリブデンを $0.3\mu\text{m}$ の厚さに形成した。図3（C）において、フォトレジスト57をフォトマスク③を用いて形成し、PTFT用のソース59ドレイン58に対し、ホウ素を $1\sim 5\times 10^{15}\text{cm}^{-2}$ のドーズ量でイオン注入法により添加した。次に図3（D）の如く、フォトレジスト61をフォトマスク④を用いて形成した。NTFT用のソース64、ドレイン62としてリンを $1\sim 5\times 10^{15}\text{cm}^{-2}$ のドーズ量でイオン注入法により添加した。

【0044】これらはゲイト絶縁膜54を通じて行った。しかし図3（B）において、ゲイト電極55、56をマスクとしてシリコン膜上の酸化珪素を除去し、その後、ホウ素、リンを直接珪素膜中にイオン注入してもよい。

【0045】次に、600℃にて10～50時間再び加熱アニールを行った。PTFTのソース59、ドレイン58NTFTのソース64、ドレイン62を不純物を活性化して P^+ 、 N^+ として作製した。またゲイト電極55、56下にはチャネル形成領域60、63がセミアモルファス半導体として形成されている。

【0046】かくすると、セルフアライン方式でありな

8

がらも、700℃以上にすべての工程で温度を加えることがなくC/TFTを作ることができる。そのため、基板材料として、石英等の高価な基板を用いなくてもよく、本発明の大面積の液晶表示装置にきわめて適したプロセスである。

【0047】本実施例では熱アニールは図3（A）、（D）で2回行った。しかし図3（A）のアニールは求める特性により省略し、双方を図3（D）のアニールにより兼ね製造時間の短縮を図ってもよい。図3（E）において、層間絶縁物65を前記したスパッタ法により酸化珪素膜の形成として行った。この酸化珪素膜の形成はLPCVD法、光CVD法、常圧CVD法を用いてもよい。例えば $0.2\sim 0.6\mu\text{m}$ の厚さに形成し、その後、フォトマスク⑤を用いて電極用の窓66を形成した。さらに、これら全体にアルミニウムをスパッタ法により形成し、リード71、72およびコンタクト67、68をフォトマスク⑥を用いて作製した後、表面を平坦化用有機樹脂69例えば透光性ポリイミド樹脂を塗布形成し、再度の電極穴あけをフォトマスク⑦にて行った。

【0048】図3（F）に示す如く2つのTFTを相補型構成とし、かつその出力端を液晶装置の一方の画素の電極を透明電極としてそれに連結するため、スパッタ法によりITO（インジウム・スズ酸化膜）を形成した。それをフォトマスク⑧によりエッチングし、電極70を構成させた。このITOは室温～150℃で成膜し、200～400℃の酸素または大気中のアニールにより成就した。かくの如くにしてPTFT22とNTFT13と透明導電膜の電極70とを同一ガラス基板50上に作製した。得られたTFTの電気的な特性はPTFTで移動度は $20(\text{cm}^2/V\text{s})$ 、 V_{th} は $-5.9(\text{V})$ で、NTFTで移動度は $40(\text{cm}^2/V\text{s})$ 、 V_{th} は $5.0(\text{V})$ であった。

【0049】この液晶表示装置の画素部分の電極等の配置を図2に示している。NTFT13を第1の走査線15とデータ線21との交差部に設け、第1の走査線15とデータ線14との交差部にも他の画素用のNTFTが同様に設けられている。一方PTFTは第2の走査線18とデータ線21との交差部に設けられている。また、隣接した他の第1の走査線16とデータ線21との交差部には、他の画素用のNTFTが設けられている。このようなC/TFTを用いたマトリクス構成を有せしめた。NTFT13は、ドレイン64の入力端のコンタクトを介し第1の走査線15に連結され、ゲイト56は多層配線形成がなされたデータ線21に連結されている。ソース62の出力端はコンタクトを介して画素の電極17に連結している。

【0050】他方、PTFT22はドレイン58の入力端がコンタクトを介して第2の走査線18に連結され、ゲイト55はデータ線21に、ソース59の出力端はコンタクトを介してNTFTと同様に画素電極17に連結

している。かくして一対の走査線15、18に挟まれた間(内側)に、透明導電膜よりなる画素23とC/TFTとにより1つのピクセルを構成せしめた。かかる構造を左右、上下に繰り返すことにより、2×2のマトリクスをそれを拡大した640×480、1280×960といった大画素の液晶表示装置とすることができる。

【0051】このようにスイッチング素子と同じプロセスで作製されたNTFT13とPTFT22とが設けられたCMOS構成となっている。

【0052】上記のようにして、片方の基板を完成し、他方の基板と従来よりの方法で貼り合わせ、STN液晶を基板間に注入する。次に、残りの周辺回路として、IC4を使用する。このIC4はCOGにより基板のX方向の配線およびY方向の配線の各々と接続されている。このIC4には外部から電源、データの供給の為に接続リードが各々に接続されているだけで、基板の一边全てに接続の為にFPCが張りつけられているようなことはなく、接続部分の数が相当減り信頼性が向上する。上記のようにして、本発明の液晶表示装置を完成した。

【0053】本実施例においては、X方向側の周辺回路のうちアナログスイッチアレー部分1のみをY方向側の周辺回路のうちアナログスイッチアレー部分2のみをTFT化し、スイッチング素子と同じプロセスでC/TFT化し、残りの周辺回路部分をIC4で構成したが、特にこの構成に限定されることはなく、TFT化する際の歩留り、TFT化する際のプロセス技術上の問題等を考慮して、よりTFT化が簡単な部分のみをTFT化すればよい。

【0054】本実施例では半導体膜として、セミアモルファス半導体を使用したもので、その移動度は非単結晶半導体を使用したTFTに比べて10倍以上の値が得られている。そのため、早い応答速度を必要とされる周辺の回路のTFTにも、十分使用でき、従来のように、周辺回路部分のTFTを特別に結晶化処理する必要もなくアクティブ素子と同じプロセスで作成することができた。

【0055】また、液晶の画素に接続されたアクティブ素子として、C/TFT構成としたので、動作マージンが拡大し、画素の電位がふらつくことはなく一定の表示レベルを確保でき、また一方のTFTが不良でも特に目立った欠陥表示都ならない等の利点があった。

【0056】

【実施例2】本実施例の液晶表示装置の概略外觀図を図4に示す。基本的な回路等は実施例1と全く同じである。図4において、Y方向の配線に接続された周辺回路のうちIC4で構成されている部分は、COG法により、基板上に直接ICが形成されている。このIC4は基板の上下の部分に分けて設けられている。

【0057】この場合IC4のパッド電極とY方向配線との接続にいて、ICを片側のみに形成した場合に比べてより間隔を狭くできる。その為より高精細な表示画素

を設計できる特徴をもつ。さらに、基板上にICを設けたので、その容積は殆ど増すことがなく、より薄型の液晶表示装置を提供することができた。

【0058】上記の実施例において、アクティブ素子のTFTはいずれもCMOS構成としたが、特にこの構成に限定されることはなく、NTFT、PTFTのみで構成してもよい、その場合は周辺回路の構成がより素子数が増すことになる。

【0059】また、基板上にTFTを形成する位置をX方向またはY方向の配線と繋がっている一方側のみではなく、もう一方の側にもTFTを形成して、交互にTFTを接続し、TFTの密度を半分として、TFTの製造歩留りを向上させることを実現した。

【0060】

【発明の効果】本発明により、液晶表示を外部の接続技術上の制限の為に高精細化できないことはなくなった。また、X方向の配線またはY方向の配線と外部の周辺回路との不要な接続を極力へらせることができたので、接続部分での信頼性が向上した。

【0061】一部の周辺回路のみをTFT化するため、ディスプレイ基板自身の専有面積をへらすことができ、かつ必要とされる寸法形状に自由に基板の設計ができる。また、TFTの製造上の問題を回避して、製造歩留りの高い部分のみをTFT化できる。よって、製造コストを下げることができた。

【0062】TFTに使用する半導体膜として、セミアモルファス半導体を使用したもので、周辺回路用にも十分使用できる応答速度が得られ、アクティブ素子の作成プロセスのまま特別な処理をすることもなく、周辺回路用のTFTを同時に作成することができた。

【0063】本発明は相補型のTFTをマトリクス化された各画素に連結することにより、①しきい値の明確化

②スイッチング速度の増加 ③動作マージンの拡大

④不良TFTが一部にあってもその補償をある程度行うことができる。 ⑤作製に必要なフォトリソマスク数はNTFTのみの従来例に比べて2回多くなるのみである。⑥キャリアの移動度がアモルファス珪素を用いた場合に比べ10倍以上も大きいので、TFTの大きさを小さくでき、1つのピクセル内に2つのTFTをつけても開口率の減少をほとんど伴わない。という多くの特長を有する。

【0064】そのため、これまでのNTFTのみを用いるアクティブTFT液晶装置に比べて、数段の製造歩留まりと画面の鮮やかさを成就できるようになった。

【図面の簡単な説明】

【図1】本発明のm×nの回路構成の液晶表示装置を示す。

【図2】本発明の液晶表示装置の画素部分の配置の様子を示す。

【図3】本発明のTFTの作製工程の概略を示す。

11

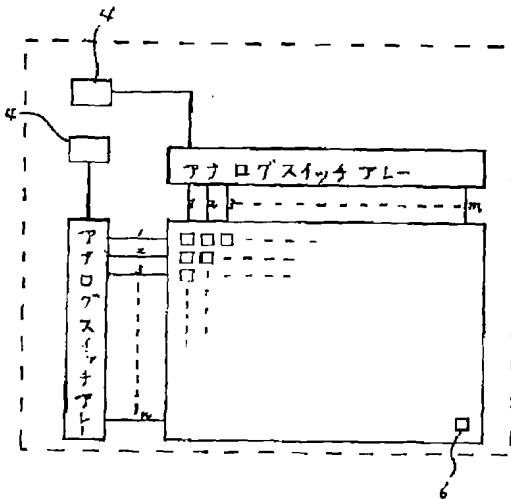
【図4】本発明のその他の実施例を示す。

【符号の説明】

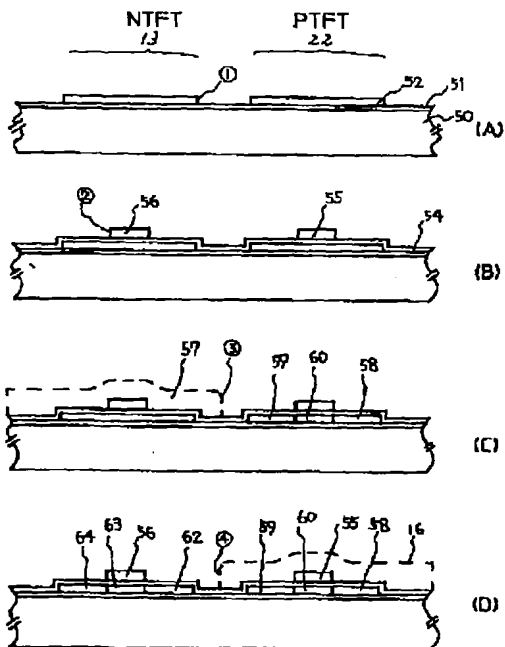
1、2・・・周辺回路

4・・・IC

【図1】



【図3】



12

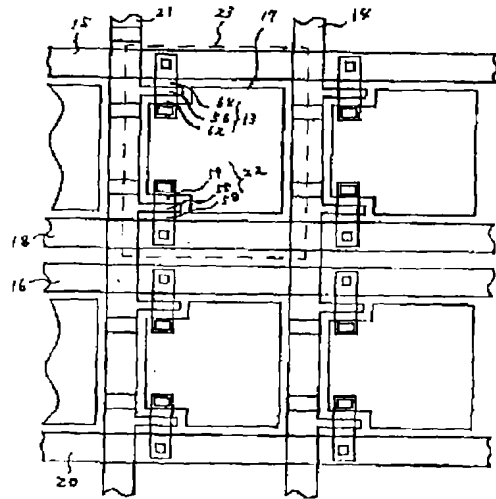
5・・・TFT化した周辺回路

6・・・画素

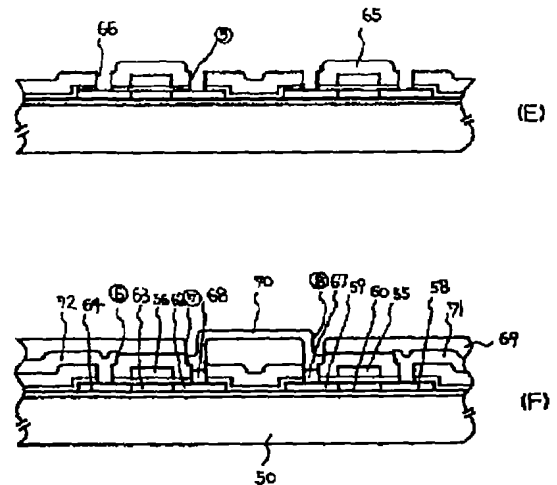
13・・・NTFT

22・・・PTFT

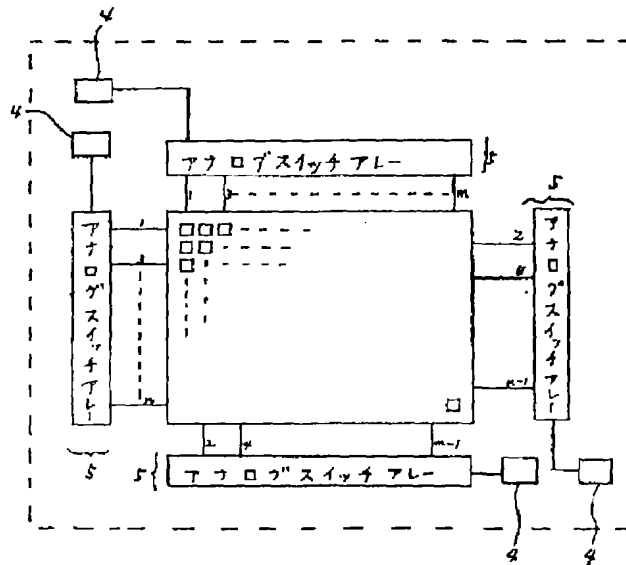
【図2】



【図3】



【図4】



【手続補正書】

【提出日】平成4年2月18日

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】図面の簡単な説明

【補正方法】変更

【補正内容】

【図面の簡単な説明】

【図1】本発明の $m \times n$ の回路構成の液晶表示装置を示す。

【図2】本発明の液晶表示装置の画素部分の配置の様子を示す。

【図3】本発明のTFTの作製工程の概略を示す。

【図4】本発明のTFTの作製工程の概略を示す。

【図5】本発明のその他の実施例を示す。

【符号の説明】

1、2・・・周辺回路

4・・・IC

5・・・TFT化した周辺回路

6・・・画素

13・・・NTFT

22・・・PTFT

【手続補正2】

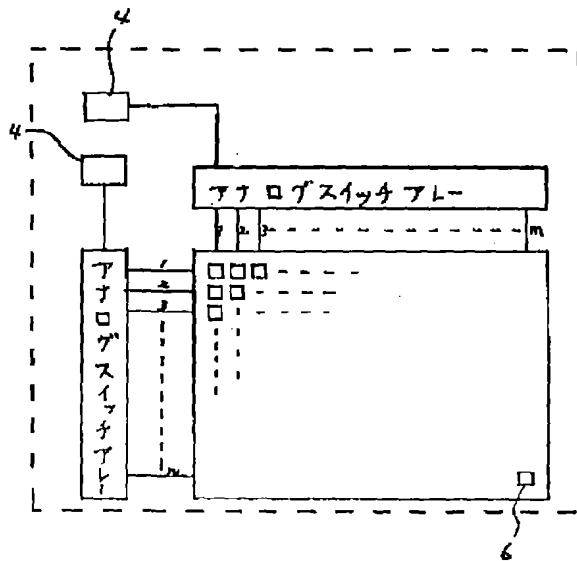
【補正対象書類名】図面

【補正対象項目名】全図

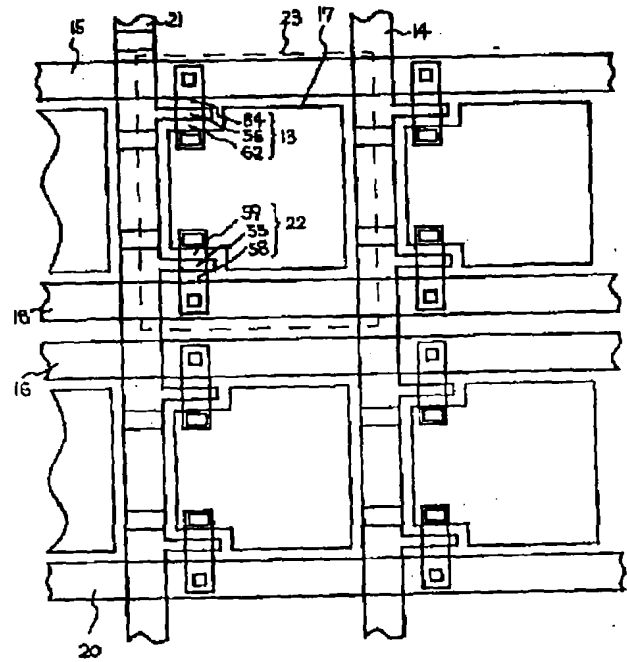
【補正方法】変更

【補正内容】

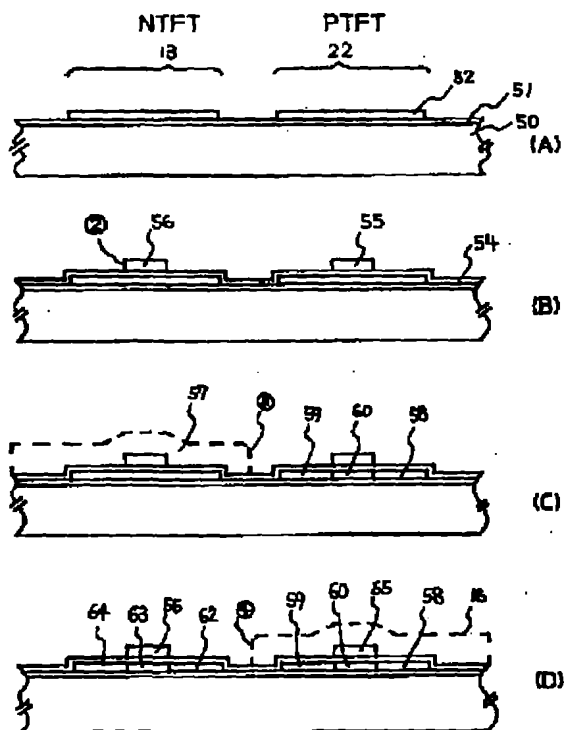
【図1】



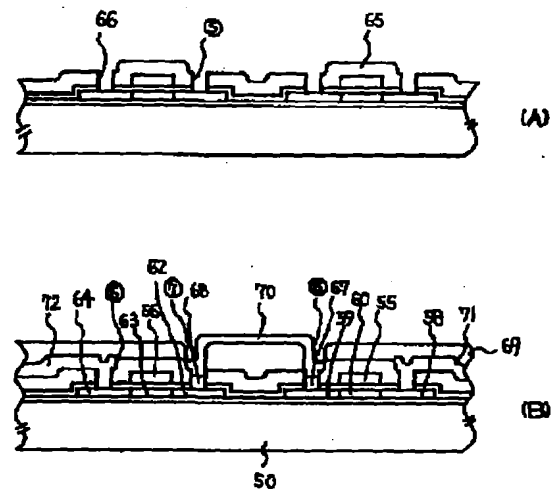
【図2】



【図3】



【図4】



【図5】

